中華民國專利公報 [19] [12]

[11]公告編號：483254
[44]中華民國 91年 (2002) 04月11日
發明
全14頁

[51] Int.Cl[07]： H03K5/13
H03K5/135

[54]名 稱：延遲電路，時脈產生電路及相位同步電路

[21]申請案號： 088116992 [22]申請日期：中華民國 88年 (1999) 10月02日
[30]優 先 權： [31]11-168809 [32]1999/06/15 [33]日本

[72]發 明 人：
早瀨滿 日本
石見幸一 日本
[71]申 請 人：
三菱電機股份有限公司 日本
[74]代 理 人： 洪澄文 先生

1 2

[57]申請專利範圍：

1.一種延遲電路，包括：
振盪裝置，用以比較施加的基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各個延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件，以產生前述比較用的時脈，並改變前述控制信號以使前述比較用的時脈相位與前述基準時脈相位一致；
儲存裝置，儲存用以設定既定的延遲時間之資訊；以及
延遲裝置，具有複數個延遲元件，而各個延遲元件的延遲時間由來自前述振盪裝置的前述控制信號所控制，並對應前述儲存裝置所儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號；
其中，各延遲電路中，前述振盪裝置內包括的複數個延遲元件與前述延遲裝置內包括的複數個延遲元件是由同一半導體製程而形成。

2.如申請專利範圍第1項所述之延遲電路，其中，複數個延遲電路串聯連接，而各具有前述振盪裝置、前述儲存裝置、以及前述延遲裝置，且各前述延遲電路以彼此相異的時間步階來設定各個既定的延遲時間。

3.一種時脈產生電路，包括：
至少一延遲電路，包括：振盪裝置，用以比較施加的基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各個延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件以產生前述比較用的時脈，並改變前述控制信號以使前述比較用的時脈相位與前述基準時脈相位一致；儲存裝置，儲存用以設

PAGE 13/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

(2)

定既定的延遲時間之資料；及延遲裝置，具有複數個延遲元件，而各個延遲時間由來自前述振盪裝置的前述控制信號所控制，並對應前述儲存裝置裏儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號；以及

時脈產生裝置，與至少一前述延遲電路共同形成迴路，產生既定的基本脈衝周期之時脈脈衝以供給前述延遲電路，並配合前述延遲電路以產生既定的周期之時脈；

其中，各延遲電路中，前述振盪裝置內包括的複數個延遲元件與前述延遲裝置內包括的複數個延遲元件是由同一半導體製程而形成。

4.如申請專利範圍第3項所述之時脈產生電路，具有複數個串聯連接的延遲電路，且各延遲電路包括：

振盪裝置，用以比較施加的基準時脈相位與比較用的時脈相位，產生具有對應此相位差的值之控制信號，且至少使用各個延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件以產生前述比較用的時脈，並改變前述控制信號以使前述比較用的時脈相位與前述基準時脈相位一致；

儲存裝置，儲存用以設定既定的延遲時間之資料；以及

延遲裝置，具有複數個延遲元件，而各個延遲元件的延遲時間由來自前述振盪裝置的前述控制信號所控制，並對應前述儲存裝置裏儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號；

各前述延遲電路以彼此相異的時間步階來設定各個既定的延遲時間，

且前述複數的延遲電路與時脈產生裝置形成迴路。

5.如申請專利範圍第3項或第4項所述之時脈產生電路，其中，前述時脈產生裝置係將共同串聯連接形成迴路之至少一前述延遲電路的輸出信號反相，並配合前述延遲電路而產生既定的周期之時脈的裝置。

6.如申請專利範圍第3項或第4項所述之時脈產生電路，其中，前述時脈產生裝置包括：

控制裝置，比較施加的基準時脈相位與依據該基準時脈而產生之比較用的時脈相位，並產生具有對應此相位差的值之控制信號，使用各延遲時間由前述控制信號所控制而連接成迴路的延遲部，以產生前述比較用的時脈，且改變前述控制信號，以便於使前述比較用的時脈相位與前述基準時脈相位一致；以及

延遲裝置，將與該時脈產生裝置串聯連接共同形成迴路之至少一延遲電路的輸出信號反相，並提供由來自前述控制裝置的前述控制信號所控制的延遲時間給前述輸出信號，並配合前述延遲電路以產生既定的周期之時脈。

7.如申請專利範圍第6項所述之時脈產生電路，其中，時脈產生裝置的前述控制裝置具有各延遲時間由控制信號所控制而連接成迴路之作為延遲部之複數的延遲元件，且時脈產生裝置的前述延遲裝置為各延遲時間由來自前述控制裝置之前述控制信號所控制之串聯連接之複數的延遲元件。

8.如申請專利範圍第7項所述之時脈產生電路，其中，施加給至少一延遲電路之基準時脈的頻率等於施加給前述時脈產生裝置之基準時脈的頻

PAGE 14/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

率。

9.如申請專利範圍第7項所述之時脈產生電路，包括：

振盪裝置，具有為了調整從前述時脈產生裝置輸出之既定周期的時脈相位而設的至少一其他延遲電路，各前述其他的延遲電路比較施加的基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件來產生前述比較用的時脈，並改變前述控制信號，以便於使前述比較用的時脈相位與前述基準時脈相位一致；

儲存裝置，儲存用以設定既定的延遲時間之資料；以及

延遲裝置，具有各個延遲時間由來自前述振盪裝置的前述控制信號所控制的複數個延遲元件，並對應前述儲存裝置裏儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號。

10.如申請專利範圍第7項所述之時脈產生電路，其中，時脈產生裝置之前述控制裝置內包括之複數的延遲元件以及時脈產生裝置之前述延遲裝置內包括之複數的延遲元件，是由同一的半導體製程而形成。

11.如申請專利範圍第10項所述之時脈產生電路，其中，施加給至少一延遲電路之基準時脈的頻率等於施加給前述時脈產生裝置之基準時脈的頻率。

12.如申請專利範圍第10項所述之時脈產生電路，包括：

振盪裝置，具有為了調整從前述時脈產生裝置輸出之既定周期的時脈相位而設的至少一其他延遲電路，

各前述其他的延遲電路比較施加的基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件來產生前述比較用的時脈，並改變前述控制信號，以便於使前述比較用的時脈相位與前述基準時脈相位一致；

儲存裝置，儲存用以設定既定的延遲時間之資料；以及

延遲裝置，具有各個延遲時間由來自前述振盪裝置的前述控制信號所控制的複數個延遲元件，並對應前述儲存裝置裏儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號。

13.如申請專利範圍第6項所述之時脈產生電路，其中，時脈產生裝置之前述控制裝置具有由控制信號控制延遲時間之作為延遲部的數位延遲線，而時脈產生裝置之前述延遲裝置係根據來自前述控制裝置之前述控制信號來控制延遲時間的數位延遲線。

14.如申請專利範圍第13項所述之時脈產生電路，其中，施加給至少一延遲電路之基準時脈的頻率等於施加給前述時脈產生裝置之基準時脈的頻率。

15.如申請專利範圍第13項所述之時脈產生電路，包括：

振盪裝置，具有為了調整從前述時脈產生裝置輸出之既定周期的時脈相位而設的至少一其他延遲電路，各前述其他的延遲電路比較施加的基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各延遲時

PAGE 15/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

間由前述控制信號所控制而連接成迴路的複數個延遲元件來產生前述比較用的時脈，並改變前述控制信號，以便於使前述比較用的時脈相位與前述基準時脈相位一致；

儲存裝置，儲存用以設定既定的延遲時間之資料；以及

延遲裝置，具有各個延遲時間由來自前述振盪裝置的前述控制信號所控制的複數個延遲元件，並對應前述儲存裝置裏儲存的資料來改變前述輸入信號通過之延遲元件的數量，以提供前述全部的既定的延遲時間給輸入信號。

16.一種相位同步電路，包括：

振盪裝置，比較施加的第1基準時脈相位與比較用的時脈相位，而產生具有對應此相位差的值之控制信號，且至少使用各延遲時間由前述控制信號所控制而連接成迴路的複數個延遲元件來產生前述比較用的時脈，並改變前述控制信號，以便於使前述比較用的時脈相位與前述基準時脈相位一致；

儲存裝置，儲存用以設定既定的延遲時間之資料；

延遲裝置，具有各個延遲元件的延遲時間由來自前述振盪裝置的前述控制信號所控制的複數個延遲元件，並根據前述儲存裝置裏儲存的資料來改變通過前述輸入信號之延遲元件數量，藉以提供全部前述既定的延遲時間給輸入信號；以及

相位同步裝置，比較施加的第2基準時脈相位與前述延遲裝置的輸出時脈信號的相位，並改變前述儲存裝置所儲存之前述資料以便該等相位一致；

其中，前述振盪裝置內包括的複數個延遲元件與前述延遲裝置包括的

複數個延遲元件是由同一半導體製程而形成。

圖式簡單說明：

[第1圖] 係構成方塊圖，顯示根據本發明之第一實施例的延遲電路；

[第2圖] 係構成方塊圖，顯示第1圖中根據本發明之第一實施例的延遲電路的PLL內所包括的電荷泵的一實例；

[第3圖] 係構成方塊圖，顯示第1圖中根據本發明之第一實施例的延遲電路的PLL內所包括的反相器的一實例；

[第4圖] 係構成方塊圖，顯示利用第1圖中之延遲電路來控制AC特性的電路的一實例；

[第5圖] 係構成方塊圖，顯示根據本發明之第二實施例的時脈產生電路；

[第6圖] 係構成方塊圖，顯示根據本發明之第三實施例的時脈產生電路；

[第7圖] 係構成方塊圖，顯示根據本發明之第四實施例的相位同步電路；

[第8圖] 係構成方塊圖，顯示根據本發明之第五實施例的時脈產生電路；

[第9圖] 係構成方塊圖，顯示根據本發明之第六實施例的延遲電路；

[第10圖] 係構成方塊圖，顯示根據本發明之第七實施例的時脈產生電路；

[第11圖] 係構成方塊圖，顯示根據本發明之第八實施例的時脈產生電路；

[第12圖] 係構成方塊圖，顯示根據本發明之第九實施例的相位同步電路；

[第13圖] 係構成方塊圖，顯示

PAGE 16/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

習知之時脈產生電路的一實例；

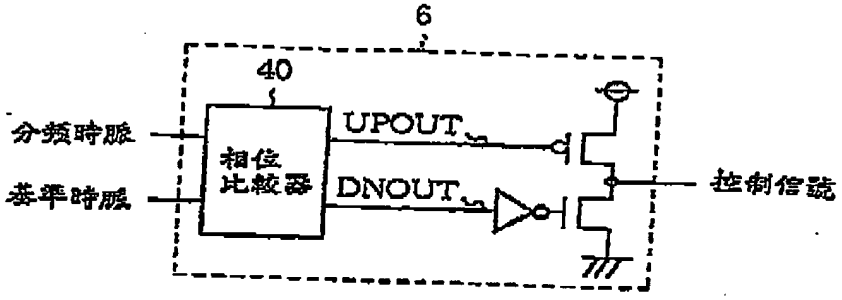
【第 14 圖】係概成方塊圖，顯示習知之時脈產生電路可以改變複數個不同周期的輸出時脈之一實例；

【第 15 圖】係結構方塊圖，顯示可設定延遲時間之習知延遲電路的一

實例；

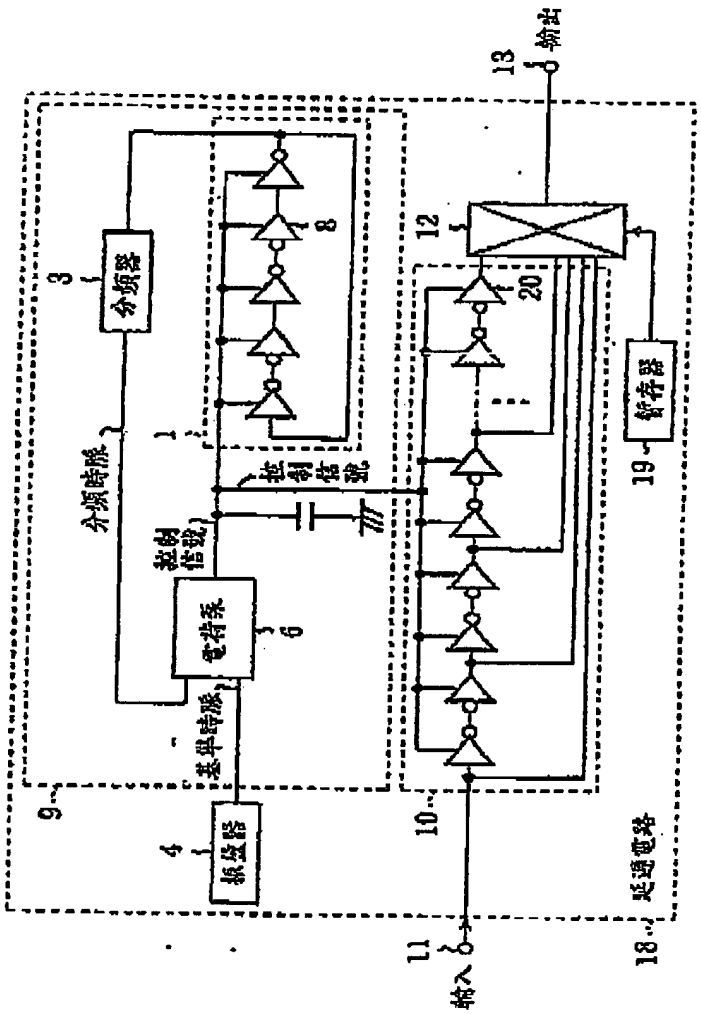
【第 16 圖】係結構方塊圖，顯示可設定延遲時間之習知延遲電路的另一實例；以及

【第 17 圖】係結構方塊圖，顯示習知延遲電路的另一實例。



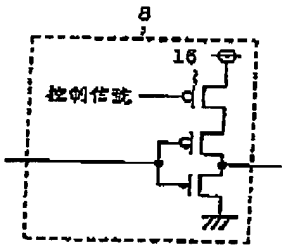
第 2 圖

PAGE 17/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

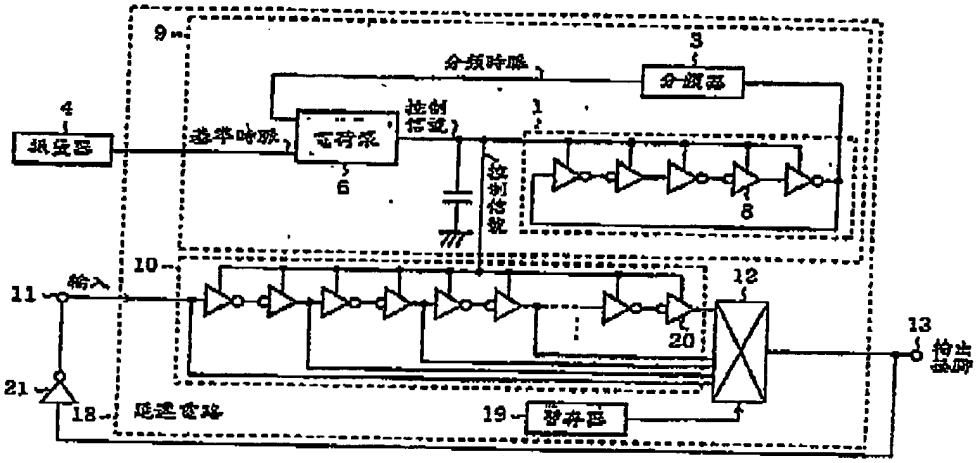


第1圖

PAGE 18/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

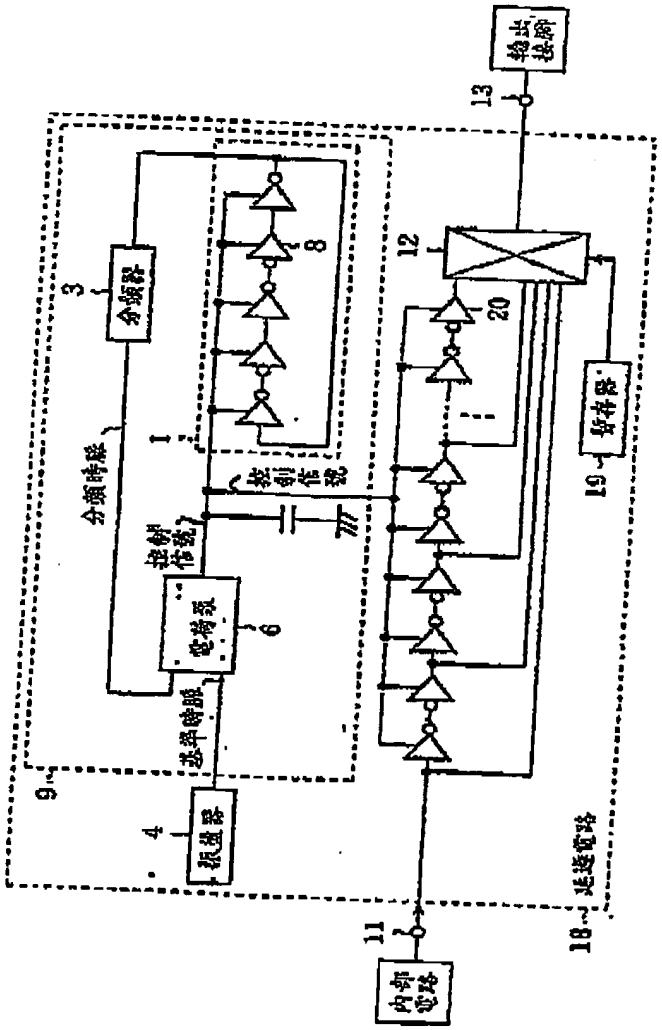


第 3 圖



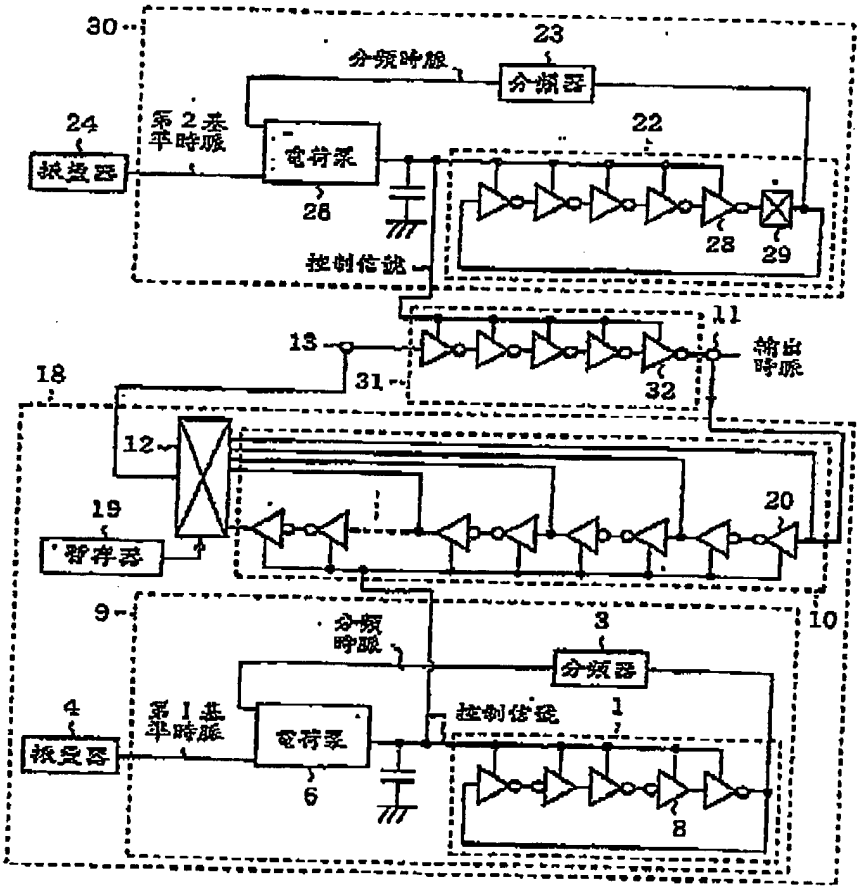
第 5 圖

PAGE 19/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18



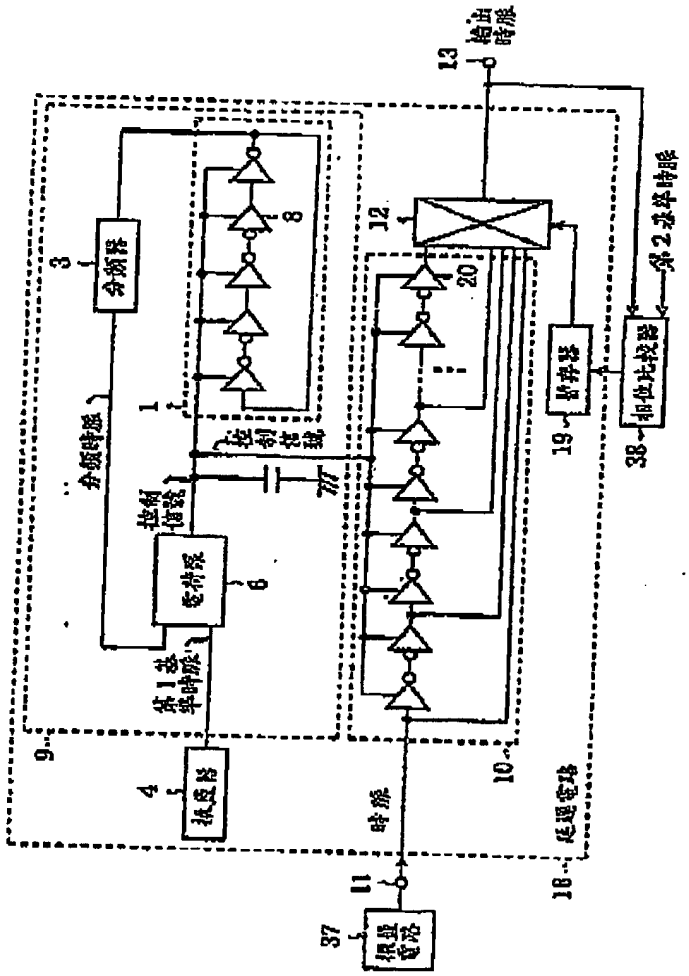
第4圖

PAGE 20/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18



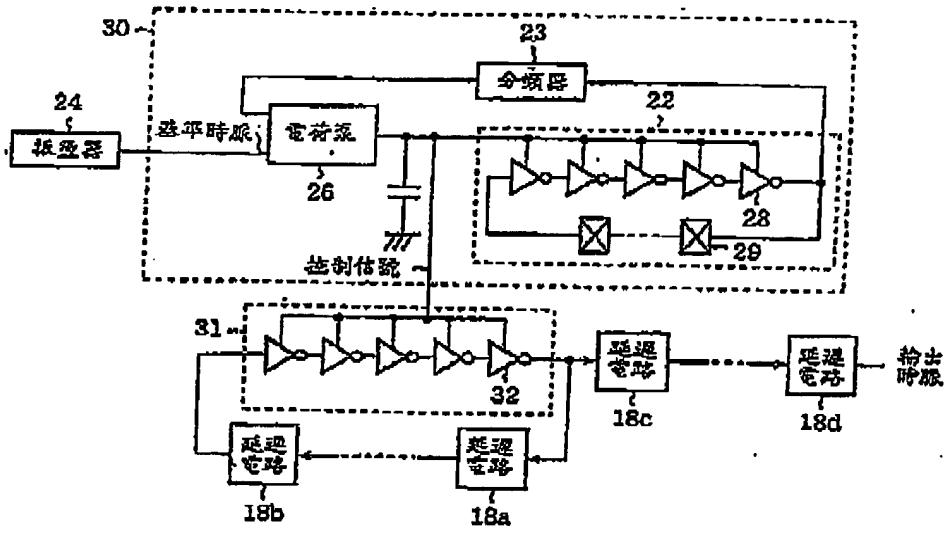
第 6 圖

PAGE 21/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

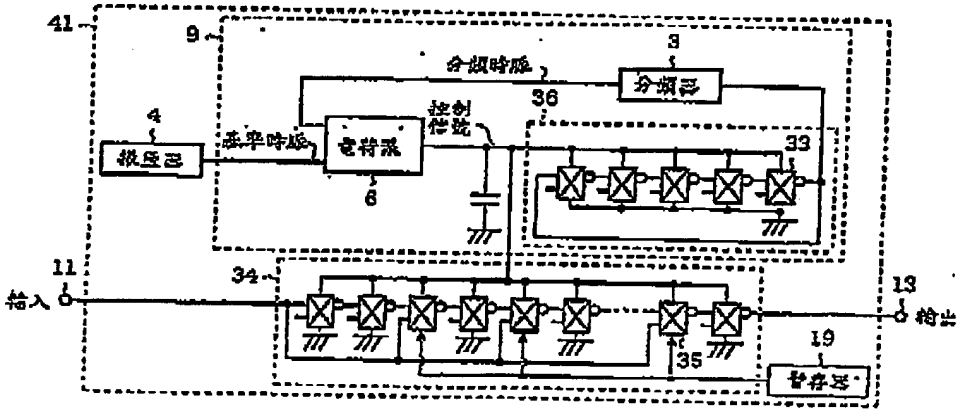


第7圖

PAGE 22/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

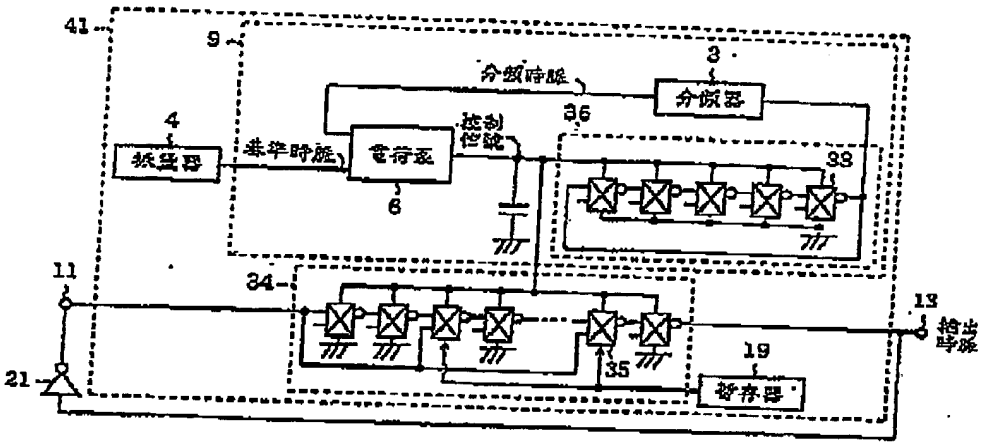


第 8 圖

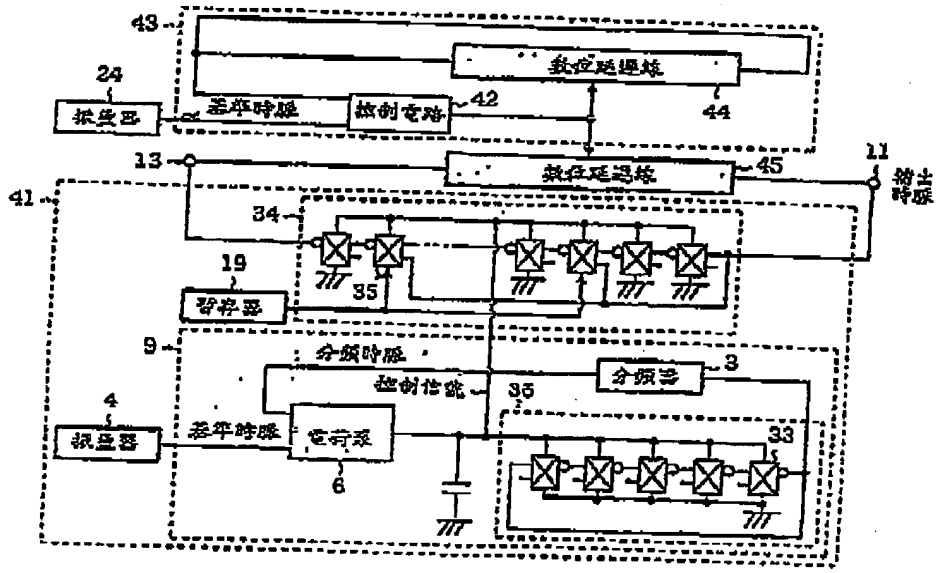


第 9 圖

PAGE 23/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18

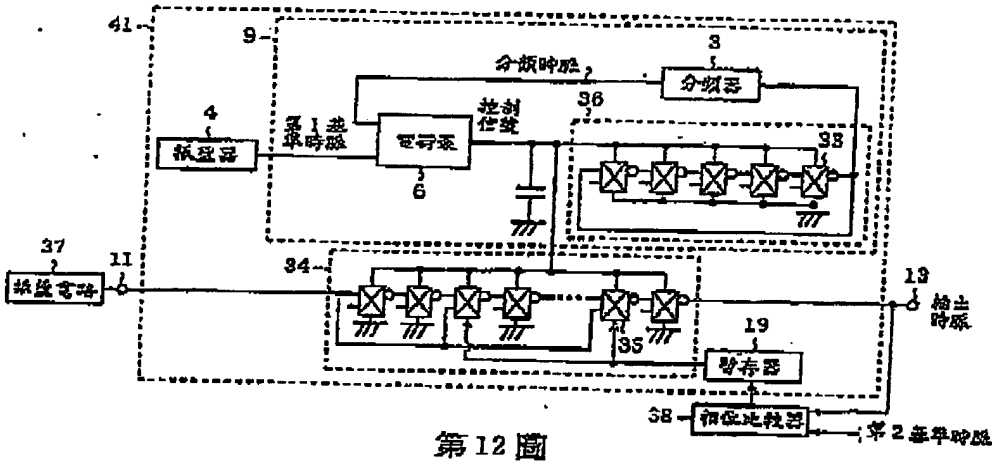


第 10 圖

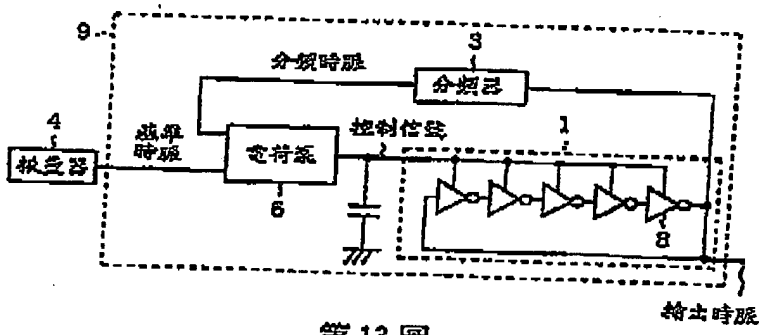


第 11 圖

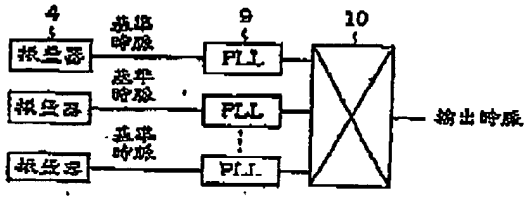
PAGE 24/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18



第 12 圖

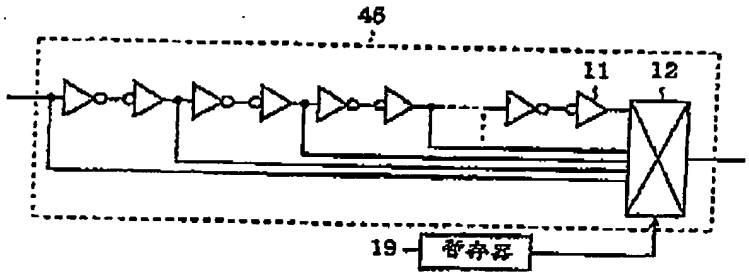


第 13 圖

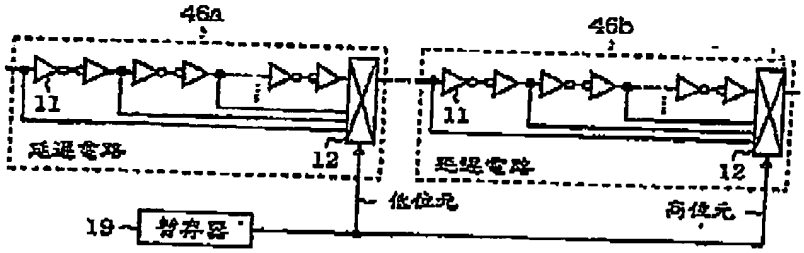


第 14 圖

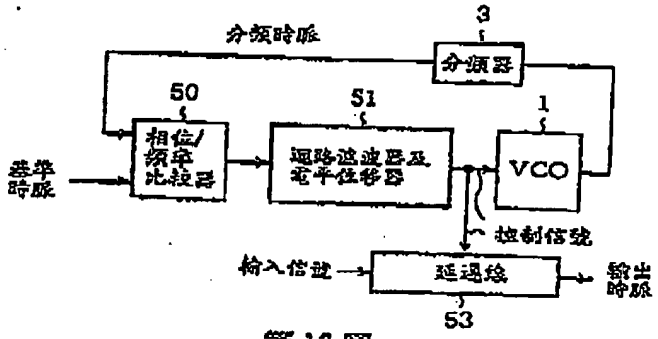
PAGE 25/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18



第 15 圖



第 16 圖



第 17 圖

PAGE 26/55 * RCVD AT 7/26/2005 1:33:30 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/37 * DNIS:2738300 * CSID:213 6291033 * DURATION (mm-ss):16-18